

INSTYTUT ŁĄCZNOŚCI

**REFERATY
PROBLEMOWE**

Zeszyt 94

Tomasz Kolecki

UNIWERSALNY STEROWNIK PL/PT OPARTY NA
MIKROPROCESORZE INTEL 8088



Warszawa 1989

[681.325::621.382.049.77] : 621.334.6

INSTYTUT ŁĄCZNOŚCI

KOŁO ZAKŁADOWE STOWARZYSZENIA ELEKTRYKÓW POLSKICH

REFERATY PROBLEMOWE

Zeszyt 94

Tomasz Kolecki

UNIWERSALNY STEROWNIK PL/PT OPARTY NA
MIKROPROCESORZE INTEL 8088

Warszawa 1989

S-10010

Zespół Redakcyjny:

doc. dr inż. Stanisław Sońta, mgr inż. Andrzej Stagrowski
mgr inż. Krystyna Frączek

Opracował:
mgr inż. Tomasz Kolecki

BIBLIOTEKA
Instytutu Łączności
Nr 5-12010

Zakład Systemów Telegraficznych i Telematycznych /Z-8/

Instytut Łączności O/Gdańsk
80-252 Gdańsk, ul. Jaśkowa Dolina 15, tel. 41-80-91 w.233

Praca 101.A.B.

Opiniował: inż. Paweł Godlewski

Maszynopis dostarczono dnia 1989.05.10.

Przedstawiono sterownik konwertera teleteks-teleks od strony jego podstawowych parametrów technicznych. Pokazano dość rozbudowane możliwości komunikacji z otoczeniem. Omówiono sposób uruchomienia sterownika.

Redaktor: mgr Krystyna Juszklewicz

Montaż tekstu: Barbara Skwara

Wpłynęło do Działu Wydawniczego Instytutu Łączności
w Warszawie, ul. Szachowa 1 dnia 1989.06.14.
Zam. 101.A.B./202/32. Nakład 70 egz.

UNIWERSALNY STEROWNIK PL/PT OPARTY NA
MIKROPROCESORZE INTEL 8088

SPIS TREŚCI

	Str.
1. Wprowadzenie	1
2. Schemat blokowy	1
3. Pamięć stała	2
4. Pamięć o dostępie swobodnym	2
5. Układ bezpośredniego dostępu do pamięci	3
6. Przerwania	3
7. Dekodery	4
8. Układ szeregowego we/wy	5
9. Układ równoległego we/wy	5
10. Układ czasowy	6
11. Testowanie	6
12. Podsumowanie	6
Wykaz literatury	7

UNIWERSALNY STEROWNIK PL/PT OPARTY NA MIKROPROCESORZE INTEL 8088

1. WPROWADZENIE

Sterownik PL/PT powstał w Zakładzie Systemów Telegraficznych i Telematycznych Instytutu Łączności z przeznaczeniem do pełnienia funkcji procesorów: linowego (PL) i teleteksowego (PT) w konstruowanym urządzeniu konwersji teleteks-teleks (roboczo nazywanym CF). Przewiduje się zastosowanie sterownika również w teleteksowym aparacie końcowym. Z punktu widzenia użytkownika jest to uniwersalny sterownik ośmiobitowy oparty na mikroprocesorze INTEL 8088. Sterownik ten może posiadać 512 kB pamięci RAM. Nie przewiduje się rozbudowy RAM-u. Na szynę są wyprowadzone sygnały umożliwiające podłączenie urządzeń wejścia/wyjścia. Przestrzeń adresowa dla tych urządzeń ma 10 bitów. Do komunikacji z otoczeniem służą: trzy kanały DMA, dwa kanały transmisji szeregowej i dwa ośmiobitowe porty równoległe. Do pracy w urządzeniach z silnymi uwarunkowaniami czasowymi istnieje możliwość instalowania układu INTEL 80130, realizującego system czasu rzeczywistego. Sterownik zbudowano z wykorzystaniem układów firmy Intel, jedynie na układ transmisji szeregowej wybrano Z80-SIO firmy Zilog. Procesor INTEL 8088 będzie pracował z zegarem o częstotliwości 8 MHz. Konstrukcja sterownika wzorowana jest na mikrokomputerze IBM PC-XT. Zachowano zgodność adresów urządzeń montowanych na płycie sterownika z adresami urządzeń płyty bazowej IBM, a także sposób buforowania szyn. Konstrukcję mechaniczną oparto na module typu 8U z dwoma złączami SOCAPEX 33.

2. SCHEMAT BLOKOWY

Na rys. 1 przedstawiono schemat blokowy opisywanego sterownika. Charakterystyczną cechą sterownika jest rozdzielenie szyny danych na szynę pamięci RAM (nazwaną MD), szynę urządzeń we/wy montowanych na płycie sterownika (nazwaną XD) i szynę D służącą do komunikacji z otoczeniem. Każdy transfer danych z

otoczenia: do RAM, urządzeń we/wy montowanych na płycie sterownika, czy do mikroprocesora odbywa się poprzez jeden bufor. Wszystkie transfery wewnątrz sterownika wymagają współpracy dwóch buforów. Odpowiednią pracę buforów zapewnia kontroler magistrali i logika kontrolna.

3. PAMIĘĆ STAŁA

Na płycie sterownika można zamontować 64 kB pamięci ROM. Dostępne są dwa uniwersalne podstawki, w których można umieścić pamięci ROM 2716, 2732, 2764, 27128, 27256 oraz statyczne pamięci RAM 5116, 6164, 6264. Wybór konkretnej konfiguracji pamięci ROM (S-RAM) związany jest z odpowiednim ustawieniem trzech zwór.

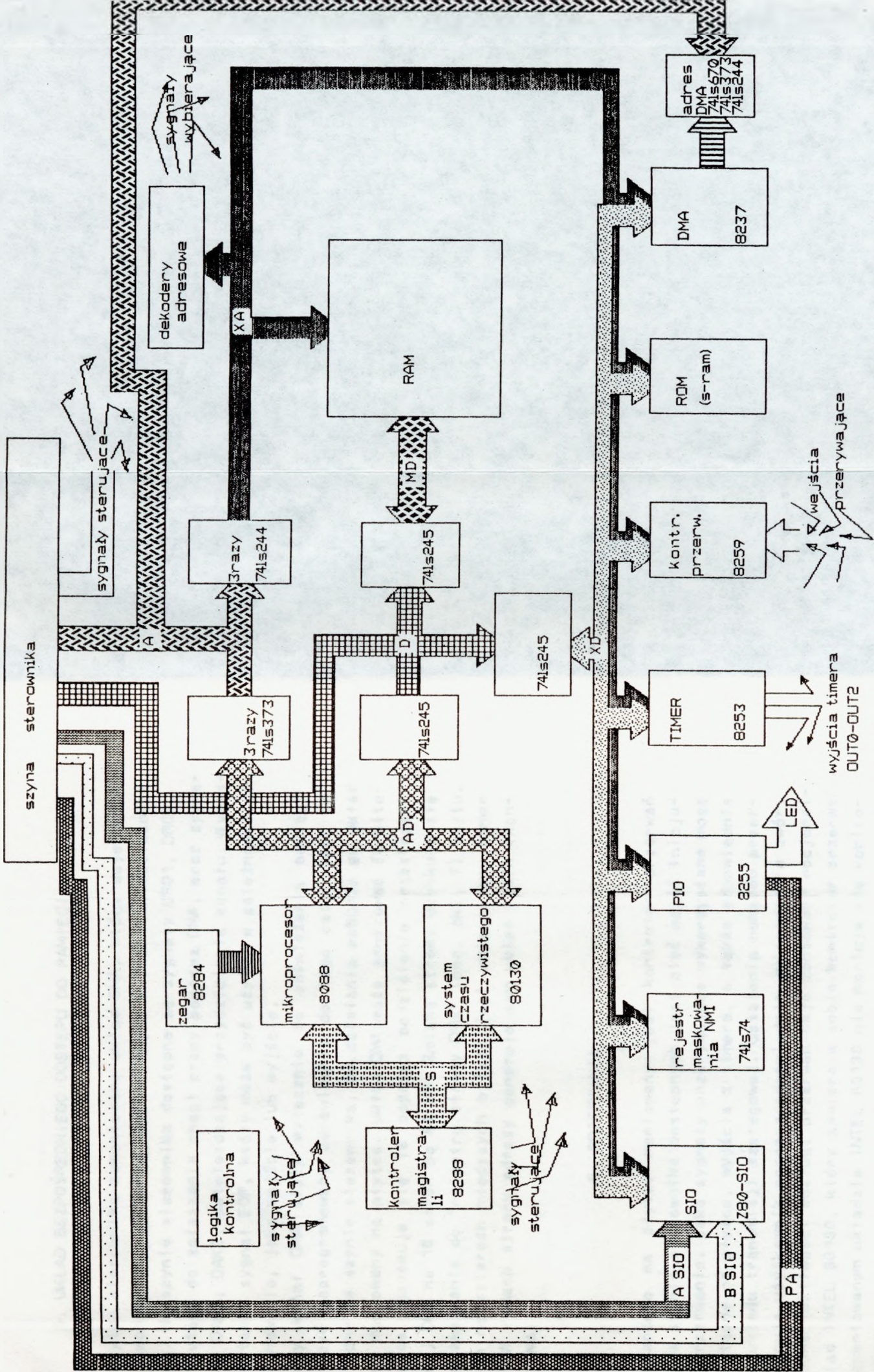
4. PAMIĘĆ O DOSTĘPIE SWOBODNYM

Mikroprocesor INTEL 8086 posiada przestrzeń adresową 20-bitową, co pozwala adresować pamięć do 1 MB. Na płycie opisywanego sterownika zastosowano dwa banki, umożliwiające uzyskanie pamięci (z kontrolą parzystości) o pojemności 64 kB, 128 kB, 256 kB, 320 kB lub 512 kB. Założoną pojemność uzyskuje się poprzez osadzenie odpowiednich banków układami 4164 lub 41256.

Dostęp do RAM możliwy jest, gdy najstarszy bit adresowy (A19) jest równy zeru (dolne 0,5 MB). Zmiana wielkości RAM nie powoduje przerwania ciągłości adresowej.

Pamięć odświeżana jest poprzez zerowy kanał układu DMA.

Układ kontroli pamięci RAM generuje przerwanie niemaskowalne (oznaczone - NMI) w przypadku wykrycia błędu parzystości. Przerwanie to można maskować poprzez wpisanie zera (bit XD7) do rejestru maskowania NMI. Obsługa NMI powinna zawierać kasowanie przerzutnika przerwania.



Rys. 1. Schemat blokowy sterownika

5. UKŁAD BEZPOŚREDNIEGO DOSTĘPU DO PAMIĘCI

Na płycie sterownika zamontowano układ DMA, który daje możliwość prowadzenia transferów ośmiobitowych w trzech niezależnych kanałach. Na szynie sterownika dostępne są sygnały DRQ1, DRQ2, DRQ3, służące do zgłaszania chęci pracy poprzez DMA, oraz sygnały DAK1, DAK2, DAK3, potwierdzające przydzielenie kanału. Wyprowadzono także sygnał EOP, który może być użyty, w zależności od zaprogramowania, jako wejście lub wyjście.

Zerowy kanał DMA służy wyłącznie do odświeżania pamięci i musi być zaprogramowany odpowiednio do tego celu; jest on niedostępny na szynie sterownika. Do działania pobudza go układ zegarowy montowany na płycie. Układ DMA może generować 20-bitowy adres. Uzyskuje się to poprzez podzielenie przestrzeni adresowej DMA na 16 stron po 64 kB. Zmianę strony uzyskuje się poprzez zapisanie do "rejestrów strony DMA" (por. pkt. 7) bajtu, w którym na czterech młodszych bitach jest umieszczony numer strony. W ramach strony adresy generuje sam układ 8237A (kontroler DMA).

6. PRZERWANIA

Standardowo na płycie montowany jest kontroler przerwania 8259A. Na szynie sterownika dostępnych jest pięć wejść inicjujących przerwanie. Jako sygnały przerywające wykorzystane mogą być, dostępne na płycie, wyjścia z timera, a także odpowiednie wyjścia układu transmisji szeregowej. Ustalenia numerów przerwania dokonuje użytkownik poprzez odpowiednie umieszczenie zwór.

Podobne możliwości obsługi przerwania daje montowany opcjonalnie układ INTEL 80130, który zawiera w sobie kontroler przerwania. Przy zamontowanym układzie INTEL 80130 nie montuje się kontrolera 8259A.

7. DEKODERY

Na płytce sterownika są w zasadzie trzy dekodery:

- 1 - dekodery ROM,
- 2 - dekodery RAM,
- 3 - dekodery wejścia/wyjścia.

Dekodery ROM umieszczają pamięć ROM na górze przestrzeni adresowej. Wykorzystywane są trzy wyjścia uaktywniające układy przy adresach:

- pierwsze - F8000 - FFFFF H,
- drugie - F0000 - F7FFF H,
- trzecie - E8000 - EFFFF H.

Wyjście pierwsze uaktywnia pierwszą podstawkę ROM, drugie - drugą, trzecie natomiast służy do wybrania pamięci montowanego opcjonalnie układu INTEL 80130.

Do dekodowania adresu pamięci RAM wykorzystywany jest najstarszy bit adresowy XA19. Wartość "jeden" tego bitu blokuje dostęp do pamięci RAM. Wynika z tego, że za RAM procesor uznaje obszar adresowany od 00000 - 7FFFF H.

Przebieżenie wejścia/wyjścia procesora jest 10-bitowa, co pozwala na adresowanie w przedziale 00000 - 003FF H. Urządzenia montowane na płytce zajmują adresy od 00000 do 000FF H. Użytkownik może dołączyć do szyny urządzenia o adresach 00100 - 003FB H. Cztery ostatnie adresy przestrzeni wejścia/wyjścia (003FC - 003FF) są zarezerwowane dla urządzeń wykorzystujących sprzężony sygnał IOR(IOW) z sygnałem dekodera adresowego.

Urządzenia montowane na płytce mają następujące adresy:

- 00000-0000F - kontroler DMA 8237A,
- 00020-00021 - kontroler przerwań 8259A,
- 00040-00043 - układ czasowy 8253,
- 00060-00063 - port równoległy 8255,
- 00080-00083 - rejestr strony DMA 74LS670,

000A0 - rejestr maskowania NMI 74LS74,
 000C0-000C3 - port szeregowy Z80-SIO,
 000E0-000EF - układ czasu rzeczywistego 80130.
 Dekoder dekoduje bity XA5-XA9.

8. UKŁAD SZEREGOWEGO WE/WY

Zamontowany na płycie sterownika układ Z80-SIO daje możliwość komunikacji ze wspólną szyną (kanał b), do której dołączone są inne układy transmisji szeregowej. Odpowiednią pracę tej szyny zapewnia specjalizowany kontroler. Użytkownik nie posiadający szyny może zapewnić właściwe działanie kanału b poprzez zasymulowanie pracy kontrolera.

Drugi kanał (a) Z80-SIO służyć może do bezpośredniej transmisji między parą połączonych trwale USATR-ów.

9. UKŁAD RÓWNOLEGŁEGO WE/WY

Układ transmisji równoległej 8255 pełni dwie funkcje.

Pierwsza - to dostarczanie sygnałów sterujących i kontrolnych. Bity 0-2 portu C uaktywniają odpowiednio kanały timera (PC0 - OUT0, PC1 - OUT1, PC2 - OUT2), natomiast bit PC3 umożliwia właściwą obsługę przerwań NMI (kasowanie przerzutnika przerwań). Bity PC4-PC7 mają swe odbicie w diodach LED umieszczonych na płycie czołowej sterownika. Diody te mogą wskazywać stan sterownika (szczególnie na etapie uruchomienia).

Drugą funkcją P!O jest dostarczenie na 16 liniach sygnałów ogólnego przeznaczenia. Cztery z nich są wyprowadzone na szynę procesora i mogą służyć, np. do podłączenia nadajnika oprogramowania (4). Pozostałe, tzn. PA4-PA7 i PB0-PB7, są dostępne na płycie sterownika w formie punktów lutowniczych.

10. UKŁAD CZASOWY

Wyjścia OUT0 - OUT2 timera dostępne są na płytce sterownika w postaci punktów lutowniczych i mogą być używane na ogólnych zasadach. Wyjście zerowego kanału dostarcza sygnał "transmit clock" dla Z80-SIOA, jednakże, w przypadku zastosowania układu INTEL 80130 może być wykorzystane do innych celów. Wszystkie kanały timera są pobudzone przebiegiem cztery razy wolniejszym niż mikroprocesor.

11. TESTOWANIE

Sterownik PL/PT jest samodzielnym urządzeniem mikroprocesorowym o dość dużym stopniu złożoności. Testowanie, a zwłaszcza uruchamianie, takiego urządzenia jest utrudnione brakiem możliwości łatwego przedstawiania stanów procesora. W początkowej fazie uruchamiania posłużono się analizą sygnatur oraz analizą stanów logicznych. Po wstępnym uruchomieniu w trybie swobodnego biegu ("free run") przełącza się procesor w normalny tryb pracy i wykorzystuje się zespół rezydentnych testów umieszczonych w pamięci stałej. Testy te sprawdzają praktycznie 99% układów sterownika i są uruchamiane przy każdym włączeniu zasilania. Po prawidłowym zakończeniu testów, zinicjalizowaniu wszystkich urządzeń i włączeniu odświeżania pamięci RAM, sterowanie jest przekazane do programów użytkowych.

12. PODSUMOWANIE

Przedstawiono informacje potrzebne użytkownikowi do porównania możliwości sterownika PL/PT w stosunku do własnych potrzeb, a także możliwości innych sterowników. W chwili obecnej najbardziej rozpowszechnione są sterowniki oparte na mikroprocesorze Z80. Wydaje się jednak, że naturalny wzrost potrzeb wymusi konieczność stosowania mikroprocesorów o większych możliwościach. Takim mikroprocesorem, szczególnie tam gdzie nie są

konieczne specjalizowane (drogie, trudno dostępne) mikroprocesory, wydaje się być właśnie INTEL 8088.

WYKAZ LITERATURY

BIBLIOTEKA
Instytutu Łączności
Nr 5-10010

1. Filsek T., Laube J., Mazurek S.: Projekt koncepcyjny konwertera CF do współpracy służby teleteksowej z teieksową. IŁ O/Gdańsk, 1987.
2. IBM TURBO MAIN BOARD - USER'S MANUAL.
3. Katalog firmy Intel: IRMX86 OPERAITING SYSTEM PROCESSORS.
4. Laube J.: Urządzenie do rozgłaszania oprogramowania w systemach o sprzężeniu luźnym. Materiały KST'87 - tom C.

Biblioteka
IL

S-10010